



2836 #2
Print by ch
PATENT
0941-0332P
J. H. T. H.
11-25-01

IN THE U.S. PATENT AND TRADEMARK OFFICE

Applicant: Jian-Hsing LEE et al. Conf.: 8922
Appl. No.: 09/963,559 Group: 2836
Filed: September 27, 2001 Examiner: UNKNOWN
For: ELECTROSTATIC DISCHARGE PROTECTION
DEVICE

LETTER

Assistant Commissioner for Patents
Washington, DC 20231

November 14, 2001

Sir:

Under the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55(a), the applicant(s) hereby claim(s) the right of priority based on the following application(s):

| <u>Country</u> | <u>Application No.</u> | <u>Filed</u> |
|----------------|------------------------|---------------|
| TAIWAN | 90114757 | June 18, 2001 |

A certified copy of the above-noted application(s) is(are) attached hereto.

If necessary, the Commissioner is hereby authorized in this, concurrent, and future replies, to charge payment or credit any overpayment to Deposit Account No. 02-2448 for any additional fee required under 37 C.F.R. §§ 1.16 or 1.17; particularly, extension of time fees.

Respectfully submitted,

BIRCH, STEWART, KOLASCH & BIRCH LLP

By Joe McKinney Muncy
Joe McKinney Muncy, #32,334

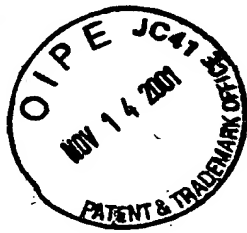
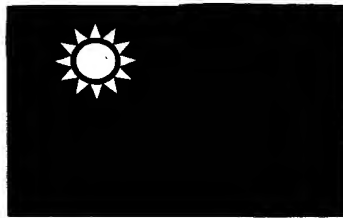
P.O. Box 747
Falls Church, VA 22040-0747
(703) 205-8000

KM/ghh
0941-0332P

Attachment

Group 2836
09/963,559

1 of 1
Buckthorn et al
(703) 205-8000
Att'd Oct 941-330P



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，

其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder:

申請日：西元 2001 年 06 月 18 日
Application Date

申請案號：090114757
Application No.

申請人：台灣積體電路製造股份有限公司
Applicant(s)

局長
Director General

陳明邦

發文日期：西元 2001 年 10 月 25 日
Issue Date

發文字號：09011015988
Serial No.

NOV 16 2001

NOV 16 2001

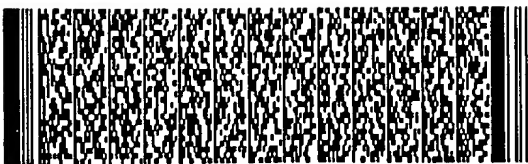
RECEIVED

| | |
|-------|--------------|
| 申請日期： | 案號： 90114757 |
| 類別： | |

(以上各欄由本局填註)

發明專利說明書

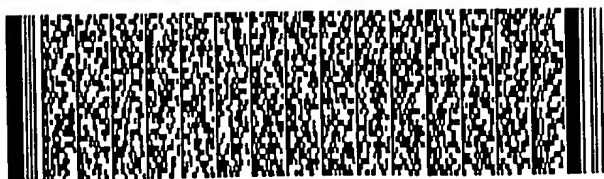
| | | |
|------------|---------------------|---|
| 一、 發明名稱 | 中 文 | 靜電放電保護半導體裝置 |
| | 英 文 | |
| 二、 發明人 | 姓 名 (中文) | 1. 李建興 2. 蘇宏德 |
| | 姓 名 (英文) | 1. Jian-Hsing Lee 2. Hung-Der Su |
| | 國 籍 | 1. 中華民國 2. 中華民國 |
| | 住、居所 | 1. 嘉義縣朴子市竹園里10鄰大同路322號 2. 高雄縣路竹鄉社中村潭墘路143號 |
| 三、 申請人 | 姓 名 (名稱) (中文) | 1. 台灣積體電路製造股份有限公司 |
| | 姓 名 (名稱) (英文) | 1. |
| | 國 籍 | 1. 中華民國 |
| | 住、居所 (事務所) | 1. 新竹科學工業園區園區三路121號 |
| | 代表人 姓 名 (中文) | 1. 張忠謀 |
| | 代表人 姓 名 (英文) | 1. |



四、中文發明摘要 (發明之名稱：靜電放電保護半導體裝置)

一種靜電放電保護半導體裝置，適用於接合墊及內部電路之間，包括下列元件。用以偵測第一位準信號電壓值之電壓偵測裝置，於第一位準信號達到第一既定電位值時，輸出一偵測結果信號。信號轉換電路係根據偵測結果信號而輸出第二位準信號。耦接於接合墊與內部電路連接點之第一開關，具有耦接至第二位準信號之第一控制極，當接合墊之電壓位準達到第二既定電位值時，則導通。第二開關具有耦接至第一位準信號之第二控制極，當接合墊之電壓位準達到第三既定電位值時，則處於一開啟狀態，並拉升第一位準信號之電位值。第三開關具有耦接至信號轉換電路之第三控制極，當接合墊之電壓位準達到第二既定電位值且第三控制極接收到第二位準信號時，則導通。

英文發明摘要 (發明之名稱：)



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無

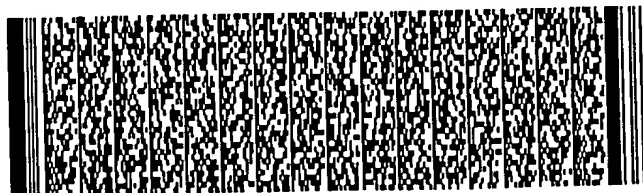
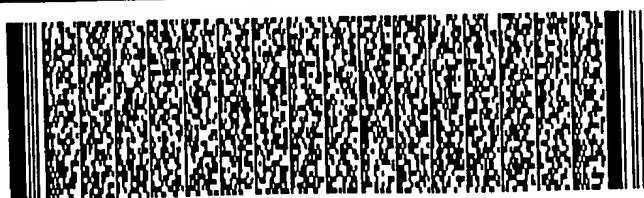
五、發明說明 (1)

本發明係有關於一種靜電放電保護裝置，特別是有關於一種能夠於偵測到大量靜電放電時，能夠即時調整供放電用之電晶體的狀態，使其能同時導通以提高釋放靜電之效率。

靜電放電(Electrostatic Discharge, 以下以ESD簡稱)係普遍存在於積體電路之量測、組裝、安裝及使用過程中。其造成積體電路損壞的可能，並間接影響電子系統的功能。然形成ESD應力的原因，最常見的是以三種模型來解釋：(1)人體模型(human body model)是以美軍軍事標準883號方法3015.6(MIL-STD-883, Method 3015.6)所界定之模型，其代表人體所帶靜電碰觸積體電路的接腳時所造成之ESD應力。(2)機器模型(machine model)係指機器所帶靜電碰觸積體電路接腳時所造成之ESD應力，現有工業標準EIAJ-IC-121 method 20所界定之量測方法。(3)電荷元件模型(charge device model)係指一原已帶有電荷的積體電路在隨後的過程中，接觸導電物質接地，因此對積體電路形成一ESD脈衝路徑。

在目前一般之技術中，提供了許多解決靜電放電問題的方法。參閱第1圖，第1圖係顯示傳統靜電放電保護電路之方塊圖。如第1圖所示，半導體裝置中一般具有內部電路元件區30以及與之電性連接之接合墊10，其中，於兩者之間加入靜電放電保護結構20，以對靜電放電進行限電位和過濾，避免發生ESD損傷。

於靜電放電保護結構20中，具有I/O緩衝電路22，N型

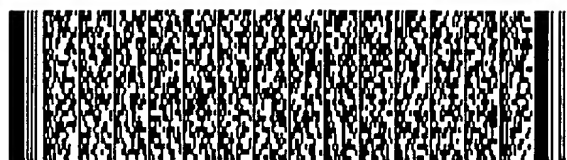


五、發明說明 (2)

預先驅動電路24，P型預先驅動電路25，第一切換電路26，以及第二切換電路27。I/O緩衝電路22係用來保護內部電路元件區30不受靜電應力之破壞，其內部具有流經複數NMOS電晶體之第一放電路徑以及流經複數PMOS電晶體之第二放電路徑，而部分NMOS電晶體及PMOS電晶體係各自根據第一切換電路26經由N型預先驅動電路24所輸入之信號以及第二切換電路27經由P型預先驅動電路25所輸入之信號而操作。由於P型預先驅動電路25及第二切換電路27之動作與N型預先驅動電路24及第一切換電路26之動作相似，因此以下僅介紹I/O緩衝電路22、N型預先驅動電路24及第一切換電路26之操作。

參閱第2圖，第2圖係第1圖中，I/O緩衝電路22、N型預先驅動電路24及第一切換電路26之電路圖。

I/O緩衝電路22係由複數NMOS電晶體(M20A、M21A、M22A、M23A)及PMOS電晶體(M20B、M21B、M22B、M23B)所組成，如圖所示，NMOS電晶體之汲極分別與對應之PMOS電晶體之汲極耦接，且各NMOS電晶體之汲極與對應之PMOS電晶體之汲極之連接點同時也耦接至接合墊10及內部電路元件區30之連接點。另外，NMOS電晶體(M20A、M21A、M22A、M23A)之源極皆耦接至接地點，NMOS電晶體M20A及NMOS電晶體M21A之閘極同樣耦接至接地點，而NMOS電晶體M22A及NMOS電晶體M23A之閘極係耦接至N型預先驅動電路24之輸出端。同樣的，PMOS電晶體(M20B、M21B、M22B、M23B)之源極皆耦接至電源線，PMOS電晶體M20B及PMOS電



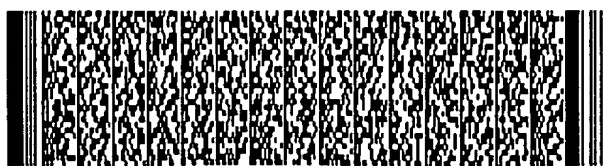
五、發明說明 (3)

晶體M21B之閘極同樣耦接至電源線，而PMOS電晶體M22B及PMOS電晶體M23B之閘極係耦接至P型預先驅動電路25之輸出端。

第一切換電路26為一反或邏輯閘，其根據輸出制能信號OEN及操作信號SIGNAL之電壓位準而輸出對應之位準信號。

N型預先驅動電路24係由複數之NMOS電晶體以及PMOS電晶體等元件所構成，能夠根據第一切換電路26所輸出信號之位準而輸出對應之輸出信號。例如，當第一切換電路26所輸出之信號為高位準時，則N型預先驅動電路24提供高位準信號至NMOS電晶體M22A及NMOS電晶體M23A之閘極；當第一切換電路26所輸出之信號為低位準時，則N型預先驅動電路24提供低位準信號至NMOS電晶體M22A及NMOS電晶體M23A之閘極。另外，現在的製程都設計有二種元件對應二種電壓，一種電壓是使用於內部元件，而另一種電壓是使用於IO元件。由於電路元件所需之操作電壓不同所致，N型預先驅動電路24更具有調整電壓位準之功能，可將內部元件的信號調整為IO元件之信號，例如，當內部元件送出1時，本來的位準為1.8V，經過N型預先驅動電路24調整後，可產生3.3V的輸出電壓至IO元件的閘極。

當接合墊10突然遭遇到急遽之靜電放電時，若此時接合墊10相對於接地點之電位差超過NMOS電晶體之崩潰電壓，則理論上此時NMOS電晶體(M20A、M21A、M22A、M23A)將會同時電壓崩潰(breakdown)，並將因為靜電放電所



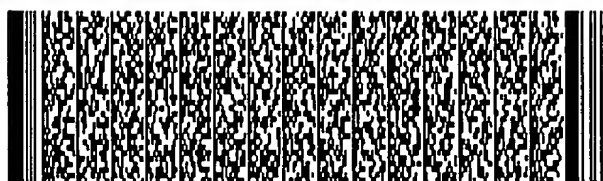
五、發明說明 (4)

產生之大量ESD電流導入接地點，藉以避免ESD電流流進內部電路元件區30而造成內部電路元件區30的損壞。

然而，在實際I/O緩衝電路22之操作上，並不盡然。其原因在於當ESD事件發生時，若此時N型預先驅動電路24係輸出高位準信號至NMOS電晶體M22A及NMOS電晶體M23A之閘極，則NMOS電晶體M22A及M23A將會在NMOS電晶體M20A及M21A電壓崩潰前先行導通，因此造成大量之ESD電流經由NMOS電晶體M22A及NMOS電晶體M23A而流至接地電位。並使得NMOS電晶體M20A及M21A失去電壓崩潰之條件，大幅降低ESD電流之排放能力。另外，當大量之ESD電流僅經由NMOS電晶體M22A及M23A而流至接地電位時，將造成NMOS電晶體M22A及M23A之損壞。

有鑑於此，為了解決上述問題，本發明主要目的在於提供一種靜電放電保護半導體裝置，當接合墊10突然承受到大量之靜電放電電流時，則立即將與N型預先驅動電路24耦接之NMOS電晶體M22A及M23A之閘極耦接至與NMOS電晶體M20A及M21A之閘極相同之接地位準，使得各NMOS電晶體能夠同時電壓崩潰，藉以提高釋放ESD電流之效率。再者，此時ESD電流係經由所有NMOS電晶體（M20A～M22A）導入接地點，因此，各NMOS電晶體平均所承受之ESD電流量較少，可減少MOS電晶體損壞之機會。

本發明係利用偵測電源線之電壓值以判斷是否發生ESD事件。其原因如下：二極體（441）的數目N需滿足 $N \times V_T (0.7) > V_{cc} (core)$ 。所以正常操作時，不會影響到



五、發明說明 (5)

訊號的傳送。當ESD脈衝進來時，因為PMOS地PN接面打開。會將Vcc的電壓拉高至 $V_{cc}-0.7$ 。這個電壓再傳送至 $V_{cc}(core) = V_{cc}-0.7-N1 \times (0.7)$ 。N1為連接Vcc(core)到Vcc的二極體數目，需滿足 $N1 \times (0.7) > V_{cc}-V_{cc}(core)$ 之條件，以使得Vcc及Vcc(core)在正常情形下不會導通。最後這個斷未再傳至二極體(441)。由於這個電位很高，因此二極體(441)可輸出一個1，因此經過驅動電路48會輸出0到M52A和M53A。所以所有的NMOS閘極通通接到0。電流就不會局限在M52A和M53A，造成保護線路毀壞，達到本發明之目的。

為獲致上述之目的，本發明提出一種靜電放電保護半導體裝置，適用於接合墊及內部電路之間，包括下列元件。用以偵測第一位準信號電壓值之電壓偵測裝置，於第一位準信號達到第一既定電位值時，輸出一偵測結果信號。信號轉換電路係根據偵測結果信號而輸出第二位準信號。耦接於接合墊與內部電路連接點之第一開關，具有耦接至第二位準信號之第一控制極，當接合墊之電壓位準達到第二既定電位值時，則導通。第二開關具有耦接至第一位準信號之第二控制極，當接合墊之電壓位準達到第三既定電位值時，則處於一開啟狀態，並拉升第一位準信號之電位值。第三開關具有耦接至信號轉換電路之第三控制極，當接合墊之電壓位準達到第二既定電位值且第三控制極接收到第二位準信號時，則導通。



五、發明說明 (6)

圖式之簡單說明：

為使本發明之上述目的、特徵和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

圖示說明：

第1圖係顯示傳統靜電放電保護電路之方塊圖。

第2圖係第1圖中，I/O緩衝電路22、N型預先驅動電路24及第一切換電路26之電路圖。

第3圖係顯示根據本發明實施例所述之靜電放電保護半導體裝置之電路圖。

符號說明：

10、40～接合墊

22、50～I/O緩衝電路

25～P型預先驅動電路

30、42～內部電路元件區

441～二極體

20～靜電放電保護結構

24～N型預先驅動電路

26、27、46～切換電路

44～電壓偵測裝置

48～驅動電路

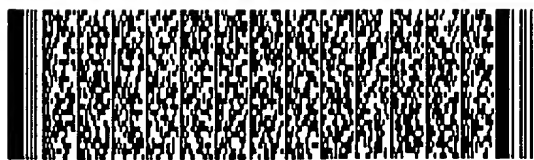
M20A、M21A、M22A、M23A、M50A、M51A、M52A、M53A
～NMOS電晶體

M20B、M21B、M22B、M23B、M50B、M51B、M52B、M53B
～PMOS電晶體

OEN～輸出制能信號

SIGNAL～操作信號

實施例：

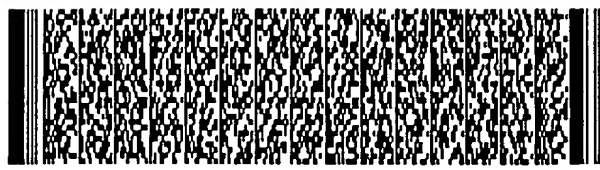
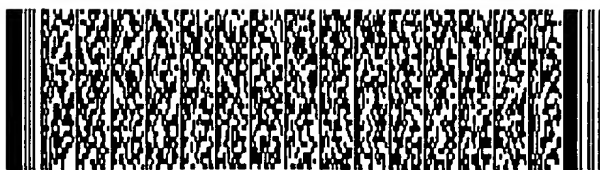


五、發明說明 (7)

以下將說明根據本發明實施例所述之靜電放電保護半導體裝置之各部元件。參閱第3圖，第3圖係顯示根據本發明實施例所述之靜電放電保護半導體裝置之電路圖。如第3圖所示，本發明實施例所述之靜電放電保護半導體裝置係設置於接合墊40及內部電路42之間。

電壓偵測裝置44係用以偵測第三位準信號 $V_{cc}(\text{core})$ 之電壓值。在實施例中，電壓偵測裝置44為串接之至少一二極體441，上述串接二極體441之數目係決定於當第三位準信號 $V_{cc}(\text{core})$ 於一般操作時之電壓值。也就是說，使串接二極體441導通之電壓值必須大於第三位準信號 $V_{cc}(\text{core})$ 於一般操作時之電壓值。因此，當電路於正常操作時，電壓偵測裝置44所輸出之偵測結果信號為低位準信號。舉例來說，若單一二極體441之導通電壓為0.7V，而第三位準信號 $V_{cc}(\text{core})$ 之電壓值為1.2V時，則二極體441之數目至少需2個以上($0.7 \times 2 = 1.4 > 1.2$)，如此一來，即可使串接二極體441輸出低位準之信號。另外，當第三位準信號 $V_{cc}(\text{core})$ 之電壓值達一既定電壓值時(以6V為例)，代表此時電路遭遇大量之ESD電流，因此使串接二極體441導通之電壓值必須小於上述既定電壓值，使得此時串接二極體441能夠導通而輸出一高位準之偵測結果信號至切換電路46。

在本實施例中，切換電路46為反或邏輯閘(NOR gate)，其耦接於電壓偵測裝置44。因此無論此時輸出制能信號OEN及操作信號SIGNAL之電壓位準為何，只要切換電路



五、發明說明 (8)

46 所接收到之偵測結果信號為高位準，則切換電路46即會輸出一低位準之接地電位致能信號至驅動電路48。

驅動電路48係由複數之NMOS電晶體以及PMOS電晶體等元件所構成，能夠根據切換電路46所輸出信號之位準而輸出對應之輸出信號。例如，當切換電路46所輸出之信號為高位準時，則驅動電路48輸出高位準信號；當切換電路46所輸出之信號為低位準時，則驅動電路48輸出低位準信號。另外，由於各電路元件所需之操作電壓不同所致，驅動電路48更具有調整電壓位準之功能，可將電源線所供應之第一位準信號 V_{cc} 調整為第三位準信號 $V_{cc}(\text{core})$ ，例如， V_{cc} 之電壓值為3.3V，經過驅動電路48調整之後，可產生1.8V之供應電源 $V_{cc}(\text{core})$ 。

I/O緩衝電路50係由複數NMOS電晶體(M50A、M51A、M52A、M53A)及PMOS電晶體(M50B、M51B、M52B、M53B)所組成，如圖所示，NMOS電晶體之汲極分別與對應之PMOS電晶體之汲極耦接，且各NMOS電晶體之汲極與對應之PMOS電晶體之汲極之連接點同時也耦接至接合墊40及內部電路元件區42之連接點。另外，NMOS電晶體(M50A、M51A、M52A、M53A)之源極皆耦接至接地點，NMOS電晶體M50A及NMOS電晶體M51A之閘極同樣耦接至接地點，而NMOS電晶體M52A及NMOS電晶體M53A之閘極係耦接至驅動電路48之輸出端。同樣的，PMOS電晶體(M50B、M51B、M52B、M53B)之源極皆耦接至電源線。

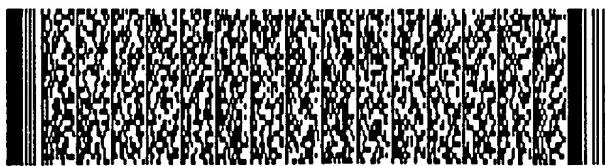
如上所述，NMOS電晶體M50A及M51A(第一開關)之閘



五、發明說明 (9)

極 (第一控制極) 係耦接至接地位準, 當接合墊40之電壓位準因為靜電放電而達到第二既定電位值時, 此第二既定電位值為NMOS電晶體之崩潰電壓, 因此NMOS電晶體M50A及M51A導通。PMOS電晶體M50B至M53B (第二開關) 係耦接於接合墊40與內部電路元件42之連接點, 具有耦接至電源線之閘極 (第二控制極), 當接合墊40之電壓位準達到足以使得PMOS電晶體之PN接面導通之第三既定電位值時, 則處於一特定開啟狀態 (此時PMOS電晶體未導通或崩潰), 並使得電源線之電位值逐漸升高。NMOS電晶體M52A及M53A (第三開關) 之閘極 (第三控制極) 係耦接至信號轉換電路 (驅動電路48), 當接合墊40之電壓位準達到第二既定電位值時, 此時NMOS電晶體M52A及M53A之閘極也接收到驅動電路48所輸出之低位準信號, 因此NMOS電晶體M52A及M53A與NMOS電晶體M50A及M51A同時電壓崩潰。

根據上述靜電放電保護半導體裝置之結構, 當I/O緩衝電路50突然接收到大量之放電電流時, 透過PMOS電晶體 (M50B至M53B) 之PN接面導通使得第一位準信號Vcc之電壓位準漸漸升高, 在此之時, 第三位準信號Vcc(core)之電壓位準同樣隨著第一位準信號Vcc之電壓位準漸漸升高。當第三位準信號Vcc(core)之電壓位準升高到特定程度時 (以6V為例), 代表接合墊40至接地點之間之電位差已達PMOS電晶體之崩潰電壓, 則此時電壓偵測裝置44內部之串接二極體441將導通而透過切換電路46及驅動電路48輸出低位準信號至NMOS電晶體M52A及M53A之閘極。結果,

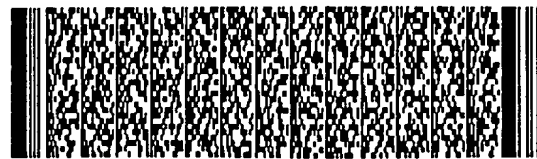
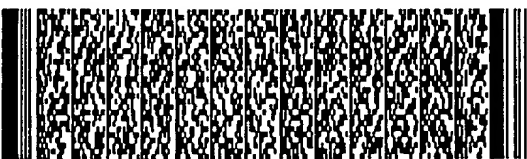


五、發明說明 (10)

NMOS 電晶體 (M50A 至 M53A) 之閘極同樣耦接至接地位準，故當接合墊 40 至接地點之間之電位差達 PMOS 電晶體之崩潰電壓時，則 NMOS 電晶體 (M50A 至 M53A) 將同時崩潰，達到釋放 ESD 電流之目的。

綜上所述，藉由本發明，能夠確保 I/O 緩衝電路 50 中用以放電之所有 NMOS 電晶體能夠同時電壓崩潰，藉以提高排除 ESD 電流之效率。再者，此時 ESD 電流係經由所有 NMOS 電晶體導入接地點，因此，各 NMOS 電晶體平均所承受之 ESD 電流量較少，可減少 MOS 電晶體損壞之機會，有效的解決習知技術的問題。

本發明雖以較佳實施例揭露如上，然其並非用以限定本發明的範圍，任何熟習此項技藝者，在不脫離本發明之精神和範圍內，當可做些許的更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



六、申請專利範圍

1. 一種靜電放電保護半導體裝置，適用於一接合墊及一內部電路之間，並耦接於一第一位準信號及一第二位準信號，包括：

一電壓偵測裝置，用以偵測上述第一位準信號之電壓值，當上述第一位準信號達到一第一既定電位值時，則輸出一偵測結果信號；

一信號轉換電路，當接收到上述偵測結果信號時，則輸出上述第二位準信號；

一第一開關，耦接於上述接合墊與上述內部電路之連接點，具有耦接至上述第二位準信號之第一控制極，當上述接合墊之電壓位準達到一第二既定電位值時，則導通；

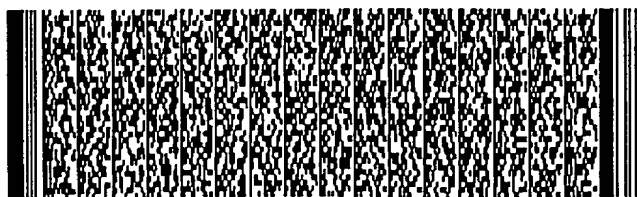
一第二開關，耦接於上述接合墊與上述內部電路之連接點，具有耦接至上述第一位準信號之第二控制極，當上述接合墊之電壓位準達到一第三既定電位值時，則處於一開啟狀態，並拉升上述第一位準信號之電位值；及

一第三開關，耦接於上述接合墊與上述內部電路之連接點，具有耦接至上述信號轉換電路之第三控制極，當上述接合墊之電壓位準達到上述第二既定電位值且上述第三控制極接收到上述第二位準信號時，則導通。

2. 如申請專利範圍第1項所述之靜電放電保護半導體裝置，其中上述第一開關及第三開關為NMOS電晶體。

3. 如申請專利範圍第2項所述之靜電放電保護半導體裝置，其中上述第二開關為PMOS電晶體。

4. 如申請專利範圍第3項所述之靜電放電保護半導體



六、申請專利範圍

裝置，其中上述電壓偵測裝置為串接之至少一二極體，且上述串接二極體之導通電壓係位於上述第一位準信號之電位值及上述第一既定電位值之間。

5. 如申請專利範圍第4項所述之靜電放電保護半導體裝置，其中上述信號轉換電路更包括：

一切換電路，耦接於上述電壓偵測裝置，當接收到上述偵測結果信號時，則輸出一接地電位致能信號；及

一驅動電路，耦接於上述切換電路，當接收到上述接地電位致能信號時，則輸出上述第二位準信號。

6. 如申請專利範圍第5項所述之靜電放電保護半導體裝置，其中上述第一位準信號為外部電源信號。

7. 如申請專利範圍第6項所述之靜電放電保護半導體裝置，其中上述第二位準信號之電位值為接地電位。

8. 如申請專利範圍第7項所述之靜電放電保護半導體裝置，其中上述第二既定電位值為NMOS電晶體之崩潰電壓。

9. 如申請專利範圍第8項所述之靜電放電保護半導體裝置，其中上述第三既定電位值為導致PMOS電晶體產生漏電流之電壓值。

10. 如申請專利範圍第9項所述之靜電放電保護半導體裝置，其中上述第一控制極、第二控制極及第三控制極為MOS電晶體之閘極。

11. 一種靜電放電保護半導體裝置，適用於一接合墊及一內部電路之間，並耦接於一第一位準信號，一第二位



六、申請專利範圍

準信號及一第三位準信號，包括：

一電壓偵測裝置，用以偵測上述第三位準信號之電壓值，當上述第三位準信號達到一第一既定電位值時，則輸出一偵測結果信號；

一切換電路，耦接於上述電壓偵測裝置，當接收到上述偵測結果信號時，則輸出一接地電位致能信號；

一驅動電路，耦接於上述切換電路及電壓偵測裝置，用以根據上述第一位準信號而形成上述第三位準信號，當接收到上述接地電位致能信號時，則輸出上述第二位準信號；

一第一開關，耦接於上述接合墊與上述內部電路之連接點，具有耦接至上述第二位準信號之第一控制極，當上述接合墊之電壓位準達到一第二既定電位值時，則導通；

一第二開關，耦接於上述接合墊與上述內部電路之連接點，具有耦接至上述第一位準信號之第二控制極，當上述接合墊之電壓位準達到一第三既定電位值時，則處於一開啟狀態，並拉升上述第一位準信號之電位值；及

一第三開關，耦接於上述接合墊與上述內部電路之連接點，具有耦接至上述信號轉換電路之第三控制極，當上述接合墊之電壓位準達到上述第二既定電位值且上述第三控制極接收到上述第二位準信號時，則導通。

12. 如申請專利範圍第11項所述之靜電放電保護半導體裝置，其中上述第一開關及第三開關為NMOS電晶體。

13. 如申請專利範圍第12項所述之靜電放電保護半導體



六、申請專利範圍

體裝置，其中上述第二開關為PMOS電晶體。

14. 如申請專利範圍第13項所述之靜電放電保護半導體裝置，其中上述電壓偵測裝置為串接之至少一二極體，且上述串接二極體之導通電壓係位於上述第三位準信號之電位值及上述第一既定電位值之間。

15. 如申請專利範圍第14項所述之靜電放電保護半導體裝置，其中上述第一位準信號為外部電源信號。

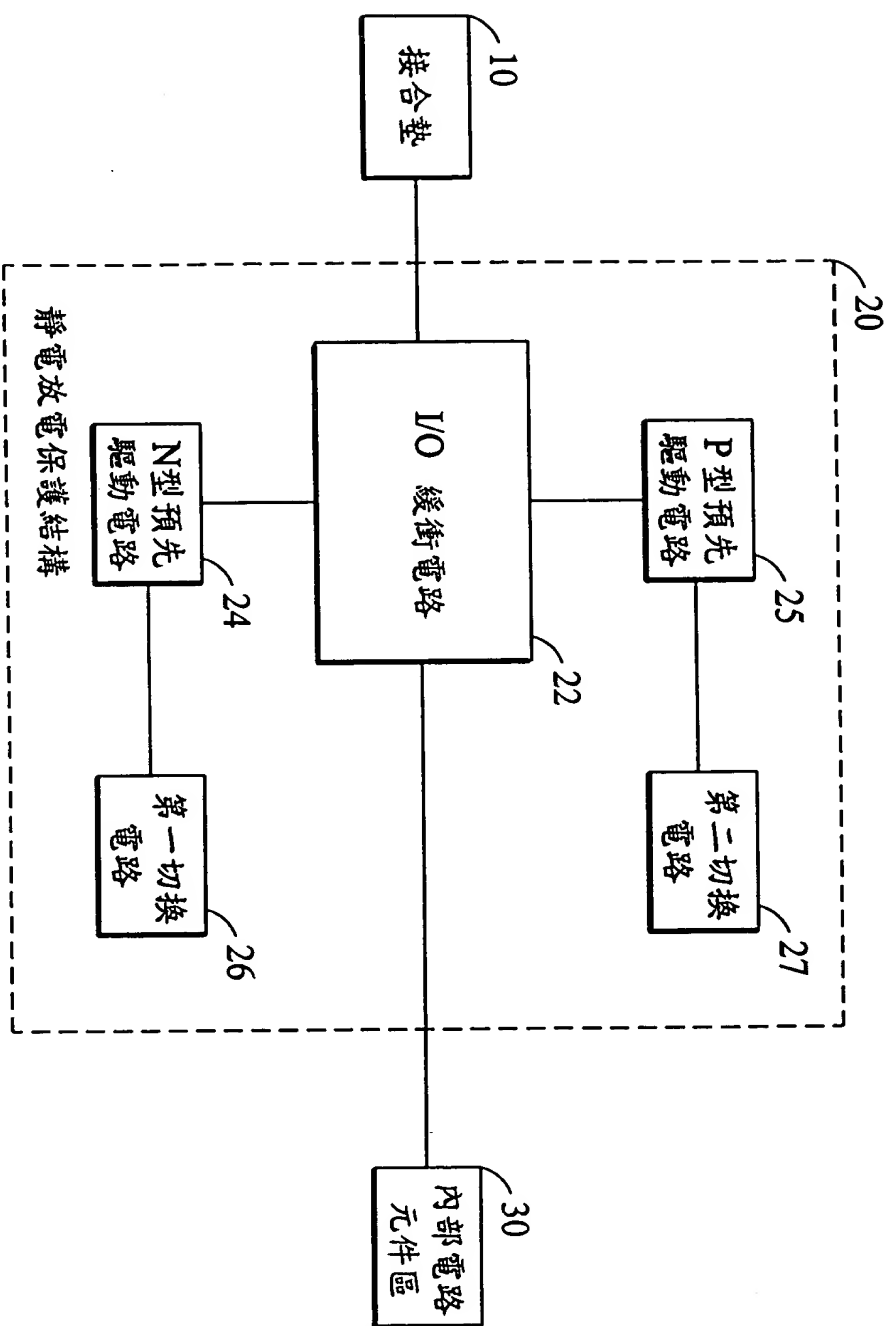
16. 如申請專利範圍第15項所述之靜電放電保護半導體裝置，其中上述第二位準信號之電位值為接地電位。

17. 如申請專利範圍第16項所述之靜電放電保護半導體裝置，其中上述第二既定電位值為NMOS電晶體之崩潰電壓。

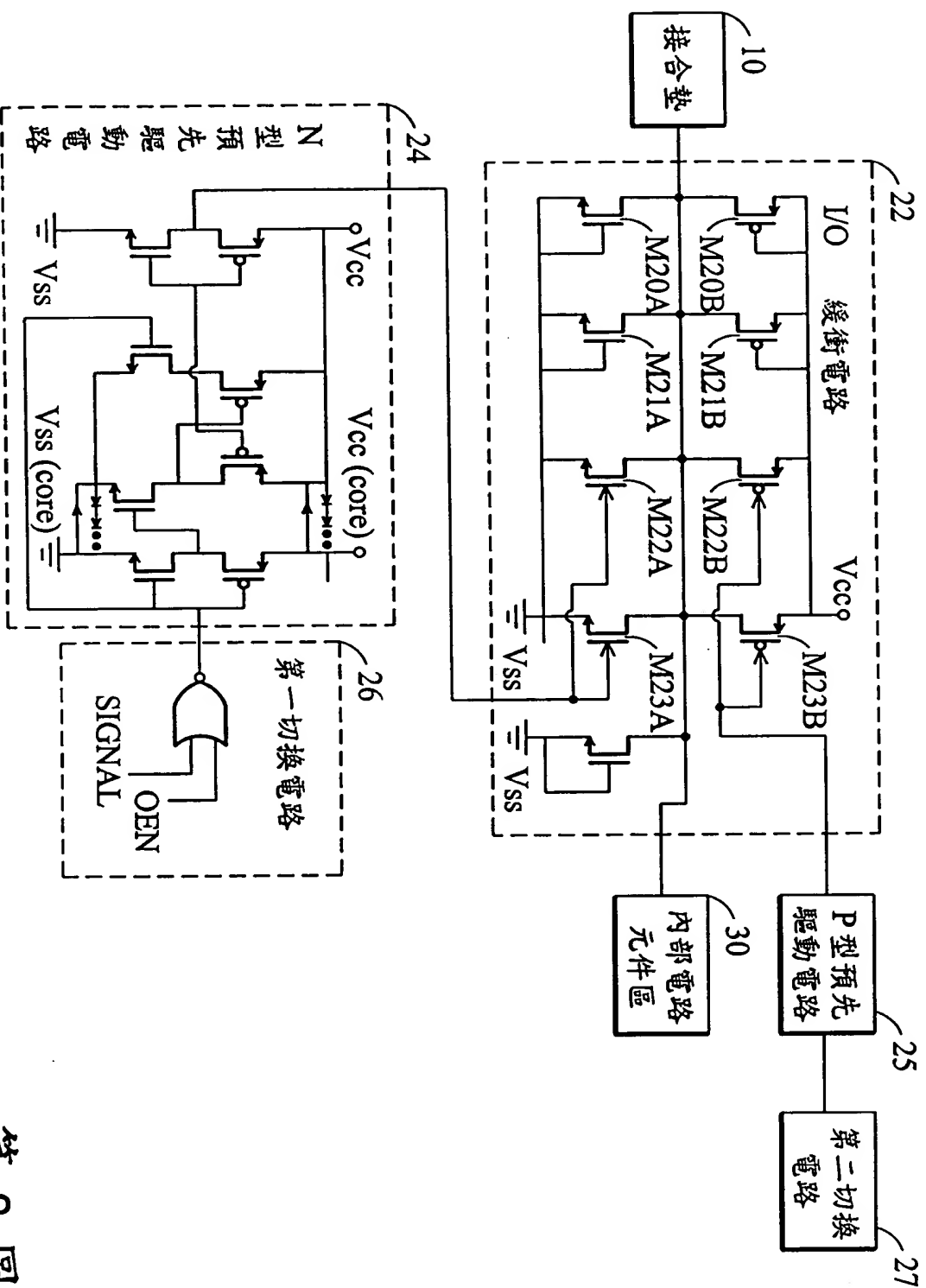
18. 如申請專利範圍第17項所述之靜電放電保護半導體裝置，其中上述第三既定電位值為導致PMOS電晶體產生漏電流之電壓值。

19. 如申請專利範圍第18項所述之靜電放電保護半導體裝置，其中上述第一控制極、第二控制極及第三控制極為MOS電晶體之閘極。

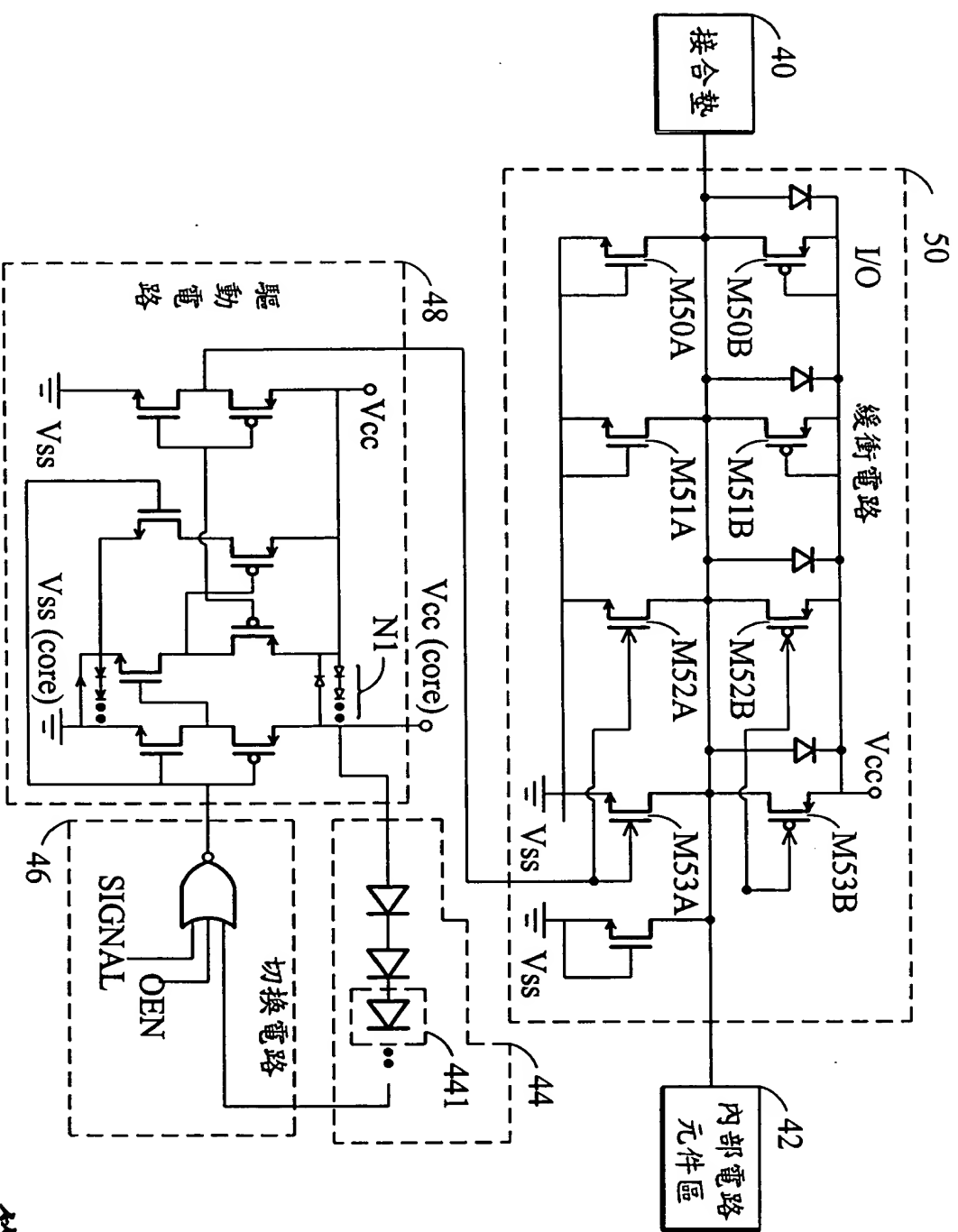




第 1 圖



第 2 圖



第 3 圖

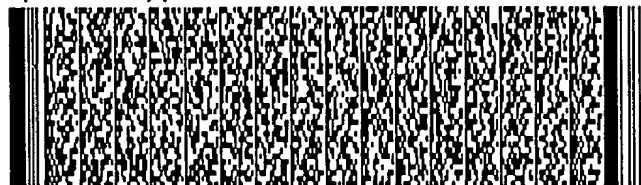
第 1/17 頁



第 2/17 頁



第 4/17 頁



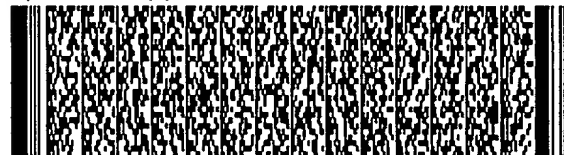
第 4/17 頁



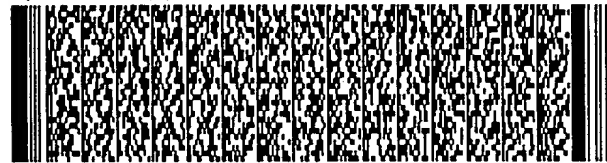
第 5/17 頁



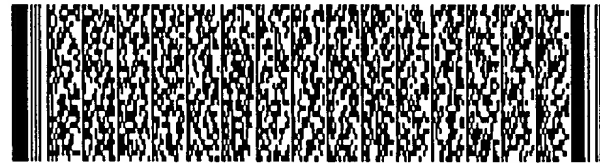
第 5/17 頁



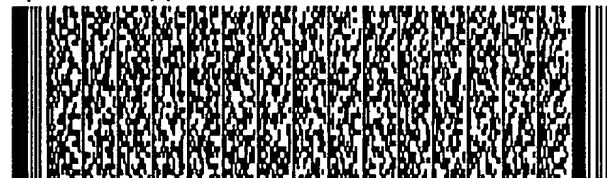
第 6/17 頁



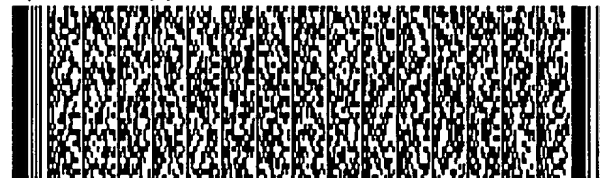
第 6/17 頁



第 7/17 頁



第 7/17 頁



第 8/17 頁



第 8/17 頁



第 9/17 頁



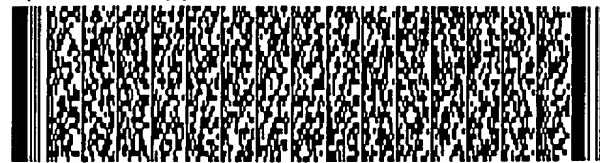
第 9/17 頁



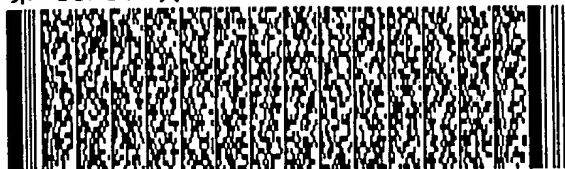
第 10/17 頁



第 10/17 頁



第 11/17 頁



第 11/17 頁



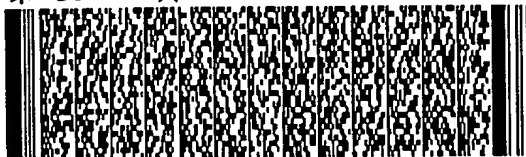
第 12/17 頁



第 12/17 頁



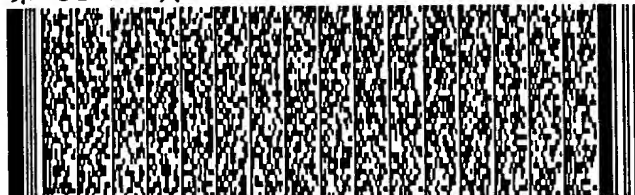
第 13/17 頁



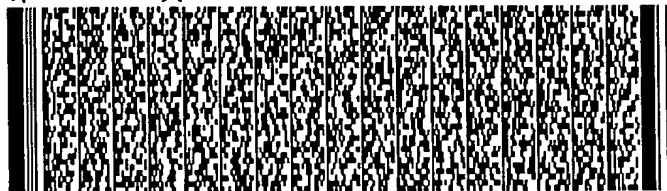
第 13/17 頁



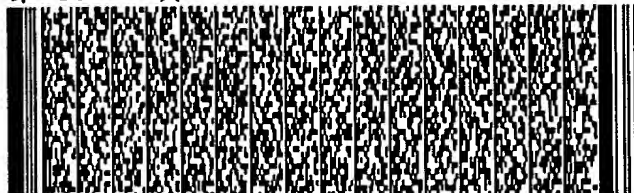
第 14/17 頁



第 15/17 頁



第 16/17 頁



第 17/17 頁

